

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] IC memory card characterized by consisting of low-speed sequential access memories which connect with a system bus and connect with the memory control circuit which performs data bus control in IC memory card with a data latch, and the memory control circuit concerned in IC memory card.

[Claim 2] IC memory card characterized by consisting of high-speed random access memory which connects with a system bus and connects with the low-speed sequential access memory linked to the memory control circuit which performs data bus control in IC memory card with a data latch, and the memory control circuit concerned, and the memory control circuit concerned in IC memory card.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to IC memory card.

[0002]

[Description of the Prior Art] The conventional IC memory card is used with various computer apparatus as simple storage excellent in portability. it consists of read-only ROMs, and that in which program thru/or reading appearance are carried out, and the data which are performed repeatedly, and which are carried out are written, and read-out and writing are possible for IC memory card, it consists of RAM backed up with the dc-battery in order to hold the content, and it has some which are used as a secondary memory medium.

[0003] ROM used for IC has many programmable ROMs (henceforth, EEPROM) eliminable electric and PROMs (henceforth, EAROM) in which electric rewriting of flash memories (for example, FEEPROM etc.) is possible. In the case of RAM, static RAMs (henceforth, SRAM), such as ECLRAM which can perform ultra high-speed

access with a power-saving mold, are used.

[0004] at a low speed, a storage side falls a system-wide throughput to CPU which uses the memory of a low-speed access cycle and accesses a secondary memory medium accessing a system bus at high speed -- making -- obtaining -- \*\* Then, what carried the memory which constituted IC memory card from power-saving mold ultra high-speed SRAM, and backed up with the dc-battery serves as high performance.

[0005] The semi-conductor storage element with which there is very little time amount which access takes as compared with a common storage to be operated actually mechanical [ a magnetic disk etc. ], and it ends is used, IC memory card is compact, and since accident at the time of access cannot happen easily, promising \*\* of it is carried out as equipment which constitutes a computer system.

[0006]

[Problem(s) to be Solved by the Invention] Thus, rapid access is possible for the former to IC memory card, and it is the storage which was excellent in stability or the engine performance. However, since ultra high-speed SRAM and ultra high-speed ROMs, such as ECLRAM, are generally quite expensive, it is difficult for them to hold down the cost of IC memory card. In spite of having the merit from which the actuation which whose access time was short and was stabilized is obtained compared with storages, such as a magnetic disk currently used abundantly, it can be said from the problem of a cost side that the further spread of IC memory cards is barred.

[0007] An access cycle will become long although it is possible to hold down the cost of IC memory card by carrying the usual cheap SRAM. If a computer system is constituted using IC memory card for which the long memory of an access cycle was used, gradually, the engine performance cannot improve and the high throughput of remarkable CPU which became highly efficient cannot be employed efficiently.

[0008] The activity of the throughput of CPU used as the object for connection is possible, and this invention aims at offering IC memory card of low cost.

[0009]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, IC memory card of this invention shall have IC in which the memory control circuit which controls the read-out writing of low-speed access memory and low-speed access memory at least was carried. Moreover, it may also be possible to connect rapid access memory like this memory control circuit, and the configuration which consists of rapid access memory, low-speed access memory, and an IC in which the memory control circuit was carried may be used. By the interior's making it IC memory card a memory control circuit course, and accessing it, rapid access with the high throughput CPU etc. is made possible, and cost lowering is aimed at.

[0010] The data latch in whom rapid access is possible is prepared in a memory control circuit from a system bus side. Thereby, the address accessed by CPU can apply cheap low-speed access memory to the memory area which carries out sequential decision like

the memory area accessed sequentially, for example. Moreover, when it has rapid access memory, the memory area by which rapid access is carried out at random can be established in a part, and it can also consider as a suitable configuration according to the operating condition of memory.

[0011] A throughput does not fall by predicting access to low-speed access memory by the data latch who prepared in the memory control circuit.

[0012]

[Example] The example of this invention is explained with a drawing. Drawing 1 is the explanatory view showing the example of IC memory card of this invention. The illustrated example explains the example which performs an exchange of CPU6 and data to the IC memory card 5 of this invention which connected the rapid access memory 3 and the low-speed access memory 4 to the memory control circuit 2 of 1 every [ each / 1 ] through a system bus 1. Although it does not plot in a drawing in consideration of the bus width of face which outputs and inputs by the system bus, a memory control circuit and a memory control circuit, and each memory, naturally the input/output bus of low-speed access memory and a memory control circuit becomes smaller than the bus width of face of a system bus.

[0013] Since the next access address is known when rapid access of data and the access request which are transmitted by ultra high-speed is sequentially carried out from CPU to memory, if the data latch is carried out previously, it can respond by low-speed access memory through a memory control circuit. Moreover, when it has rapid access memory, a memory control circuit judges data classification etc. and distributes the field of rapid access memory to rapid access memory and low-speed access memory so that it may be accessed at random.

[0014]

[Effect of the Invention] As mentioned above, according to the IC memory card of this invention, when only sequential access is performed, cost can be held down by using only low-speed access memory. Moreover, the memory which applies the memory of IC memory card by the field accessed at random and the field accessed sequentially was divided. It corresponds to access to each memory in a memory control circuit by using low-speed access memory for the field sequentially accessed in rapid access memory by the field accessed at random. Therefore, when the access time can be shortened as an IC memory card even in this case, since cheap low-speed access memory is used for the sequential access memory field, cost can be held down.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the explanatory view showing the example of IC memory card of this invention.

[Description of Notations]

- 1 System Bus
- 2 Memory Control Circuit
- 3 Rapid Access Memory
- 4 Low-speed Access Memory
- 5 IC Memory Card
- 6 CPU

---

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-314359

(43)公開日 平成6年(1994)11月8日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 K 19/07		8623-5L	G 0 6 K 19/ 00	N

審査請求 未請求 請求項の数2 FD (全 3 頁)

(21)出願番号 特願平5-128225

(22)出願日 平成5年(1993)4月30日

(71)出願人 591095856

株式会社ハドソン

北海道札幌市豊平区平岸3条7丁目26番地

(72)発明者 後藤 秀陸

北海道札幌市豊平区平岸3条5丁目1番18

号株式会社ハドソン内

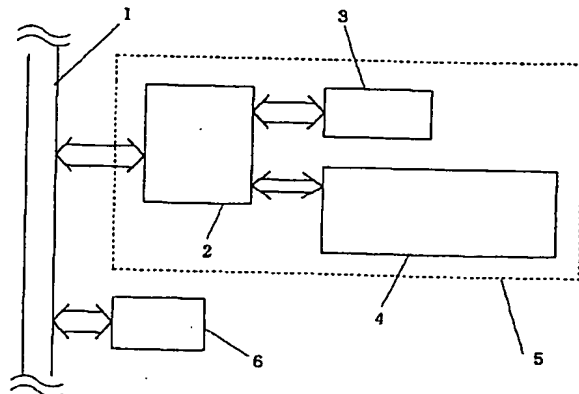
(74)代理人 弁理士 豊田 正雄

(54)【発明の名称】 ICメモリカード

(57)【要約】

【目的】 接続対象となるCPUの処理能力の活用が可能で、低コストのICメモリカードを提供する。

【構成】 ICメモリカードに高速アクセスメモリ、低速アクセスメモリ、各メモリの読み出しや書き込みを制御し、データラッチを有するメモリ制御回路を搭載する。高速アクセスメモリは、ランダムに高速アクセスされるメモリ領域全域に、安価な低速アクセスメモリは、シーケンシャルにアクセスされるメモリ領域等に適用することにより、スループットを低下させず、コストを抑える。



## 【特許請求の範囲】

【請求項1】 ICメモリカードにおいて、システムバスと接続し、データラッチとICメモリカード内データバス制御を行うメモリ制御回路、当該メモリ制御回路に接続する低速シーケンシャルアクセスメモリで構成されることを特徴とするICメモリカード。

【請求項2】 ICメモリカードにおいて、システムバスと接続し、データラッチとICメモリカード内データバス制御を行うメモリ制御回路、当該メモリ制御回路に接続する低速シーケンシャルアクセスメモリ、当該メモリ制御回路に接続する高速ランダムアクセスメモリで構成されることを特徴とするICメモリカード。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ICメモリカードに関する。

【0002】

【従来の技術】従来のICメモリカードは、携帯性に優れた簡易な記憶装置として各種コンピュータ装置で利用されている。ICメモリカードは、読み出し専用のROMで構成され、繰り返して実行されるプログラム、ないし読み出しされるデータが書き込まれているものと、読み出しと書き込みが可能で内容を保持するため、バッテリーでバックアップされたRAMで構成され、補助記憶媒体として利用されるものがある。

【0003】ICに用いられるROMは、電気的消去可能なプログラマブルROM（以下EEPROM）やフラッシュメモリ（例えばEEPROM等）の電気的書換可能なPROM（以下EAROM）が多い。RAMの場合は、省電力型で超高速アクセスができるECLRAM等のスタティックRAM（以下SRAM）が利用される。

【0004】補助記憶媒体に低速アクセスサイクルのメモリを用い、アクセスするCPUが高速でシステムバスにアクセスするのに対して、記憶媒体側が低速ではシステム全体のスループットを低下させよう。そこで、ICメモリカードは、省電力型超高速SRAMで構成し、バッテリーでバックアップしたメモリを搭載したものが、高性能となっている。

【0005】実際、ICメモリカードは、磁気ディスク等の機械的な動作が必要な一般的な記憶媒体と比較して、アクセスに要する時間がたいへん少なくて済む半導体記憶素子を用いており、コンパクトでアクセス時の事故が起こりにくいことなどから、コンピュータシステムを構成する装置として有望視されている。

【0006】

【発明が解決しようとする課題】このように、従来からICメモリカードは、高速アクセスが可能で、安定性や性能の優れた記憶媒体である。しかし、ECLRAM等超高速のSRAMやROMは、総じてかなり高価である

ため、ICメモリカードのコストを抑えることが難しい。多用されている磁気ディスク等の記憶媒体に比べてアクセス時間が短く、安定した動作が得られるメリットを有するにもかかわらず、コスト面の問題から、ICメモリカードのさらなる普及を妨げているといえる。

【0007】通常の安価なSRAMを搭載することにより、ICメモリカードのコストを抑えることが可能であるが、アクセスサイクルが長くなってしまう。アクセスサイクルの長いメモリが用いられたICメモリカードを用いてコンピュータシステムを構成すると、漸次、性能が向上してかなりの高機能となったCPUの高処理能力を生かすことが出来ない。

【0008】本発明は、接続対象となるCPUの処理能力の活用が可能で、低コストのICメモリカードを提供することを目的とする。

【0009】

【課題を解決するための手段】上記の課題を解決するために、本発明のICメモリカードは、少なくとも低速アクセスメモリ、低速アクセスメモリの読み出し書き込みを制御するメモリ制御回路を搭載したICを有するものとする。また、本メモリ制御回路には同様に高速アクセスメモリを接続することも可能であり、高速アクセスメモリ、低速アクセスメモリ、メモリ制御回路を搭載したICからなる構成でもよい。ICメモリカードには、内部のメモリ制御回路経由してアクセスすることにより、高処理能力CPU等との高速アクセスを可能とし、コスト低下を図る。

【0010】メモリ制御回路には、システムバス側から高速アクセスが可能なデータラッチを設ける。これにより安価な低速アクセスメモリを、例えばシーケンシャルにアクセスされるメモリ領域のように、CPUにアクセスされるアドレスが順次確定していくメモリ領域に適用することができる。また、高速アクセスメモリを有する場合には、ランダムに高速アクセスされるメモリ領域を一部に設けてメモリの使用状況によって好適な構成とすることもできる。

【0011】低速アクセスメモリに対するアクセスは、メモリ制御回路に設けたデータラッチにより先読みしておくことにより、スループットは低下することはない。

【0012】

【実施例】本発明の実施例を図面と共に説明する。図1は、本発明のICメモリカードの実施例を示す説明図である。図示した実施例は、一のメモリ制御回路2に高速アクセスメモリ3と低速アクセスメモリ4を各一つずつ接続した本発明のICメモリカード5に、システムバス1を介してCPU6とデータのやりとりを行う例について説明している。図面では、システムバスとメモリ制御回路、メモリ制御回路と各メモリで入出力を行うバス幅を考慮して作図されていないが、当然、低速アクセスメモリとメモリ制御回路との入出力バスは、システムバスの

バス幅より小さくなる。

【0013】CPUから超高速で転送されてくるデータやアクセス要求がメモリに対してシーケンシャルに高速アクセスされる場合には、次のアクセスアドレスがわかるため、先にデータラッチしておけばメモリ制御回路を介して低速アクセスメモリで対応できる。また、高速アクセスメモリを有している場合は、高速アクセスメモリの領域はランダムにアクセスされるように、メモリ制御回路がデータ種別等を判定し、高速アクセスメモリと低速アクセスメモリに振り分ける。

【0014】

【発明の効果】上記のように本発明のICメモリカードによれば、シーケンシャルなアクセスのみが行われる場合には低速アクセスメモリのみを用いることでコストを抑えることができる。また、ICメモリカードのメモリをランダムにアクセスされる領域とシーケンシャルにアクセスされる領域によって適用するメモリを分けた。ラ\*

\*ランダムにアクセスされる領域には高速アクセスメモリを、シーケンシャルにアクセスされる領域には低速アクセスメモリを用いることで、メモリ制御回路で各メモリへのアクセスに対応する。そのため、この場合でもICメモリカードとしてアクセス時間を短く出来る上、シーケンシャルアクセスメモリ領域に安価な低速アクセスメモリを用いているため、コストを抑えることが出来る。

【図面の簡単な説明】

【図1】本発明のICメモリカードの実施例を示す説明図である。

【符号の説明】

- 1 システムバス
- 2 メモリ制御回路
- 3 高速アクセスメモリ
- 4 低速アクセスメモリ
- 5 ICメモリカード
- 6 CPU

【図1】

